

CLIPPEDIMAGE= JP02001339097A
PAT-NO: JP02001339097A
DOCUMENT-IDENTIFIER: JP 2001339097 A
TITLE: SEMICONDUCTOR RELAY

PUBN-DATE: December 7, 2001

INVENTOR-INFORMATION:

NAME

KUZUHARA, KAZUNARI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC WORKS LTD

COUNTRY

N/A

APPL-NO: JP2000160864

APPL-DATE: May 30, 2000

INT-CL_(IPC): H01L031/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor relay which can be miniaturized and facilitate alignment for optical coupling of a light emitting element with a photovoltaic element.

SOLUTION: Solder balls 28 are formed together with a MOSFET 4 on the surface of a substrate 14. A dug part 19 which is surrounded by a flat peripheral part 17 and has a flat bottom surface 18 is formed on the rear of the substrate 14. The light emitting element 1 is mounted on the bottom surface 18 of the dug part 19. A chip 12 in which the photovoltaic element 2 is formed to face the light emitting element 1 is installed on the substrate 14 via conductive bumps 20 arranged in the peripheral part 17. By using a conducting member including penetrating wiring 24 penetrating the substrate 14, the light emitting element 1 is electrically connected with an input terminal, and the

photovoltaic
element 2 is electrically connected with the MOSFET 4 for
output. Thus, the
semiconductor relay is constituted.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31207
(P2000-31207A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷
H 0 1 L 21/60

識別記号
3 1 1

F I
H 0 1 L 21/60

テーマコード* (参考)
3 1 1 S 4 M 1 0 5

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願平10-196051

(22) 出願日 平成10年7月10日 (1998.7.10)

(71) 出願人 000004330

日本無線株式会社
東京都三鷹市下連雀5丁目1番1号

(72) 発明者 五十嵐 一文

東京都三鷹市下連雀5丁目1番1号 日本
無線株式会社内

(74) 代理人 100077665

弁理士 千葉 剛宏 (外1名)

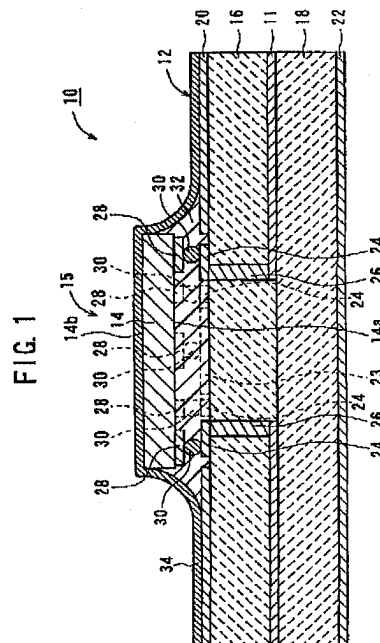
Fターム (参考) 4M105 AA02 AA07 AA12 BB04 FF02
FF03 FF04 GG18 GG19

(54) 【発明の名称】 フリップチップ実装基板およびフリップチップの実装方法

(57) 【要約】

【課題】 小形化が妨げられることなく、動作時の伝搬信号の漏洩等を効果的に遮蔽することのできるフリップチップ実装基板およびフリップチップの実装方法を提供する。

【解決手段】 基板12には、下から順に、接地導体層22、誘電体層18、ストリップ伝送路11、誘電体層16、接地導体層20が形成されている。基板12表層の信号用および電源用のランド24とストリップ伝送路11の端部とはスルーホール26により接続されている。フェイス面14aのパッド28の上に bumps 30が形成されたフリップチップとしてのMMIC 14は裏返しにされて基板12上に搭載され、bumps 30は接地用ランド23およびランド24に接合されている。MMIC 14のフェイス面14aと接地導体層20の間には樹脂層32が形成され、MMIC 14のフェイス面14aの裏面14bおよび接地導体層20は導電金属層34により被覆されている。



【特許請求の範囲】

【請求項1】フェイス面上のボンディングパッドにバンパが形成されたフリップチップを裏返し前記バンパと基板に形成されたランドとをボンディングして形成するフリップチップ実装基板であって、

前記基板表面の前記フリップチップの信号用ランドおよび電源用ランドを除く部分が接地導体層とされ、

前記フリップチップのフェイス面の裏面および前記接地導体層が導電金属層により被覆されていることを特徴とするフリップチップ実装基板。

【請求項2】請求項1記載の実装基板において、前記フリップチップのフェイス面と前記基板のランド形成面との間に樹脂が注入され、前記フェイス面が封止されていることを特徴とするフリップチップ実装基板。

【請求項3】第1の接地導体層上に第1の誘電体層が積層され、該第1の誘電体層上に信号導体層が積層され、該信号導体層上に第2の誘電体層が積層され、該第2の誘電体層上に第2の接地導体層が積層された多層配線基板を有し、

該多層配線基板中、前記第2の誘電体層と前記第2の接地導体層にフリップチップを収容可能な開口が設けられ、

該開口の底面に現れる前記信号導体層にランドが形成され、該ランドには信号用と接地用と電源用が含まれ、前記接地用ランドは前記第1および（または）前記第2の接地導体層と接続され、

フェイス面上のボンディングパッドにバンパが形成されたフリップチップを裏返しして前記開口に収容し、前記バンパと前記ランドとをボンディングし、

前記フリップチップのフェイス面の裏面および前記第2の接地導体層が導電金属層により被覆されていることを特徴とするフリップチップ実装基板。

【請求項4】請求項3記載の実装基板において、前記開口にフリップチップが収容されボンディングされた状態において、前記開口に樹脂が注入され、前記フリップチップのフェイス面が封止されていることを特徴とするフリップチップ実装基板。

【請求項5】請求項1～4のいずれか1項に記載の実装基板において、

前記導体金属層が導体金属の蒸着またはめっきにより形成されていることを特徴とするフリップチップ実装基板。

【請求項6】基板にフリップチップ実装用のランドを形成するとともに、前記ランドを除く部分に接地導体層を形成する工程と、

前記フリップチップを裏返し、該フリップチップのフェイス面上のボンディングパッドに形成されたバンパと前記ランドとをボンディングして前記基板に前記フリップチップを実装する工程と、

前記フリップチップのフェイス面の裏面および前記接地

導体層を導電金属層により被覆する工程とを有することを特徴とするフリップチップの実装方法。

【請求項7】請求項6記載の実装方法において、前記フリップチップのランドを基板の内層導体層に形成し、

前記接地導体層を前記基板の前記内層導体層上に形成されている誘電体層の上の表面層として形成し、

前記表面層である接地導体層と前記誘電体層を貫通して前記フリップチップ実装用の凹部を形成し、

10 前記凹部に前記フリップチップを収容したことを特徴とするフリップチップの実装方法。

【請求項8】請求項6または7記載の実装方法において、

前記フリップチップのフェイス面と前記ランド形成面との間に樹脂を注入して前記フリップチップのフェイス面を封止したことを特徴とするフリップチップの実装方法。

【請求項9】請求項6～8のいずれか1項に記載の実装方法において、

20 前記導体金属層を導体金属の蒸着またはめっきにより形成したことを特徴とするフリップチップの実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ボンディングパッドにバンパが形成されたフリップチップを裏返し、該バンパと基板に形成されたランドとをボンディングして形成したフリップチップ実装基板およびフリップチップの実装方法に関する。

【0002】

【従来の技術】フリップチップは、集積回路表面（フェイス面）のボンディングパッドに金等のバンパ（突起部）を電極として形成したものである。リード線を用いることなく、このフリップチップを裏返し（フェースダウン）、バンパと基板表面の実装用ランド（パッド）とをボンディングすることによりフリップチップが基板に実装される。

【0003】このときに用いられる集積回路としては、MIC（モノリシック集積回路）、例えば、MMIC（マイクロ波モノリシック集積回路）を挙げることができる。

【0004】図8は、従来の技術に係るフリップチップ実装基板1の平面図を示し、図7は、フリップチップ実装基板1のVII-VII線断面図を示している。

【0005】フリップチップとしてのMMIC2を、誘電体層3の両側に導体層が形成された基板5に実装する場合、図7に示すように、MMIC2のボンディングパッド6に金等を材料としたバンパ7が形成され、一方、

基板5の表面に形成された線路パターン4aのランド（信号用あるいは電源用のランド）8aと接地用ランド8bの表面に金めっきまたは銀錫（Ag/Sn）が処理

される。

【0006】そして、MMIC2の bumps 7 と基板5のランド8a、8bとを、フリップチップボンディングにより熱、圧力、超音波等を利用して圧着する。

【0007】このとき、基板5のランド8aと接地用ランド8bは、ボンディングパッド6と鏡像関係の位置に形成配置され、該ボンディングパッド6とは必ずしも同一寸法とはされないが、同一のピッチとされている。

【0008】圧着終了後、MMIC2と基板5との間に樹脂を注入、硬化させて、樹脂層9が形成され、MMIC2のフェイス面2aが封止されるとともに該MMIC2と基板5とが強固に接合される。なお、基板5の誘電体層3の裏面には接地導体層4bが形成される。

【0009】このようにして、基板5上にフリップチップとしてMMIC2が取り付けられたフリップチップ実装基板1が完成する。

【0010】なお、基板5の誘電体層3としては、ガラスクロスのコアとしてエポキシ樹脂を含浸させて板状に加工し、その表面に銅を張ったガラスエポキシ銅張積層板等が一般的に用いられるが、基板5の誘電特性が性能を左右する周波数帯では、好適には、銅張テフロンガラス基板やさらには薄膜または厚膜の導体層を有する焼結アルミナ板等が用いられる。

【0011】

【発明が解決しようとする課題】このような従来の技術に係るフリップチップ実装基板1では、信号が伝搬する線路パターン4aを特性インピーダンスが50オーム等のストリップ伝送路（マイクロ波伝送路）とする場合が多いが、線路パターン4aが表面に露出していることからMMIC2を動作させた場合、伝搬する信号の一部がMMIC2自体や基板5の線路パターン4aから漏洩したり、放射したりすることによって他の回路部分に干渉を与え、動作を不安定にする場合があるという不具合がある。

【0012】特に、高利得の増幅器では入出力線路の結合によって発振に至ったり、雑音に敏感な発振器では干渉により発振信号の純度が低下したりすることがある。

【0013】これらの不具合を回避するために、例えば、基板5上のMMIC2の実装間隔を広げたり、あるいは、MMIC2を金属ケース内に収容して基板5に取り付けて部分的に遮蔽を施すことが行われている。

【0014】しかしながら、これらの手法を用いた場合、回路部分の面積や体積が増大する結果となり、フリップチップ実装部の小形化が妨げられる要因となる。

【0015】本発明はこのような課題を考慮してなされたものであり、小形化が妨げられることなく、かつ簡便な手法によって動作時の伝搬信号の漏洩等を効果的に遮蔽することのできるフリップチップ実装基板およびフリップチップの実装方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、基板上にフェイスダウン実装したフリップチップのフェイス面の裏面と、接地導体層とした基板の表面とを導体金属層で被覆するように構成している。導体金属層が、基板の内層に形成されている信号伝送路の遮蔽金属として作用するため、フリップチップ自体、フリップチップ取付用のランドおよび前記信号伝送路からの信号の漏洩が発生せず、また、電磁遮蔽するために特別な金属ケースを用いる必要がないので、フリップチップが実装された基板を小形化することができる。

【0017】この場合、フリップチップのフェイス面と基板のランド形成面との間に樹脂を封入することが、フリップチップの固定およびフェイス面が空気等と触れないので好ましい。

【0018】なお、基板上に凹部を形成し、これにフリップチップを収容するように構成することで、基板の表面を略平らにする可能性が得られる。このようにすれば、導体金属層での被覆が容易になる。また、実装基板のより一層の小形化が図れる。

【0019】導体金属層の形成は、導体金属の蒸着またはめっき等によれば、面全体を容易に金属層で被覆することができる。

【0020】

【発明の実施の形態】以下、本発明に係るフリップチップ実装基板およびフリップチップの実装方法について、集積回路としてMMICを搭載したものを例にとりて、その好適な実施の形態を図1～図6を参照しながら説明する。

【0021】図3は、本実施の形態の第1の例に係るフリップチップ実装基板10の平面図を示し、図1は、フリップチップ実装基板10のI-I線断面図、図2は、フリップチップ実装基板10のII-II線断面図を示している。

【0022】前記フリップチップ実装基板10は、信号導体層（内層導体層）としてのストリップ伝送路11を有する基板12と、該基板12上に実装されるフリップチップとしてのMMIC14とにより基本的に構成される。

【0023】前記基板12には、図1中、下から順に、接地導体層22、誘電体層18、ストリップ伝送路11、誘電体層16および接地導体層20が形成されている。前記接地導体層20はランド（信号用および電源用）24を除く部分に形成され、また、該接地導体層20の端部には接地用ランド23（図2参照）が形成されている。前記ランド24と前記ストリップ伝送路11の端部とは、スルーホール26により接続されている。

【0024】前記基板12上には、前記MMIC14が搭載されている。このMMIC14は、フェイス面14aにパッド（ボンディングパッド）28が設けられ、該パッド28の上に bumps 30 が形成されている。MMI

C14は裏返して該フェイス面14aを下向きにして基板12に搭載され、パンプ30は前記ランド24および接地用ランド23にそれぞれ接合されている。

【0025】前記MMIC14のフェイス面14aと前記基板12との間には樹脂層32が形成され、該樹脂層32はフェイス面14aを完全に被覆し、かつ、スカート状に広がって前記接地用ランド23を含む前記接地導体層20の端部を被覆している。このため、MMIC14が確実に基板12に固定され、また、そのフェイス面14aが封止されているために空気等に触れることがない。

【0026】さらに、前記MMIC14のフェイス面14aの裏面（パッド28の形成される面と反対側の面）14bおよび前記接地導体層20は導電金属層34により被覆されている。

【0027】以上のように構成される本実施の形態の第1の例に係るフリップチップ実装基板10のフリップチップとしてのMMIC14の実装方法について、以下に説明する。

【0028】まず、例えば、表裏両面に銅が張られたガラスエポキシ銅張積層基板および表面のみに銅が張られたガラスエポキシ銅張積層基板とを各1枚準備する。ここで、後者の表面のみに銅が張られたガラスエポキシ銅張積層基板の所定の位置には、予め、パンチ等によりスルーホール用の孔部を形成しておく。

【0029】表裏両面に銅が張られたガラスエポキシ銅張積層基板は、その片側の銅張面をパターン処理し、これにより、前記ストリップ伝送路11が形成される。一方、表面のみに銅が張られたガラスエポキシ銅張積層基板についても銅張面をパターン処理し、これにより、接地導体層20、接地用ランド23および前記ランド24が形成される。このとき、好適には、前記接地用ランド23および前記ランド24の表面に金めっきあるいは銀錫（Ag/Sn）処理を施しておく。また、前記接地用ランド23は、本実施の形態のように搭載されるMMIC14の直下に設けるかわりに、該MMIC14の近傍に設けてもよい。

【0030】次いで、前記ストリップ伝送路11が形成されたガラスエポキシ銅張積層基板の該ストリップ伝送路11が形成された側の面と、接地導体層20、接地用ランド23および前記ランド24が形成されたガラスエポキシ銅張積層基板の該接地導体層20等が形成された面の裏面とを接着することにより、2枚のガラスエポキシ銅張積層基板を積層する。これにより、接地導体層22、誘電体層18、ストリップ伝送路11、誘電体層16、接地導体層20および各ランド23、24からなる基板12が形成される。

【0031】ここで、前記したパターン形成時に、ガラスエポキシ銅張積層基板の前記誘電体層16とされるガラスエポキシ層に形成した前記孔部と連通する孔部（銅

張層の除去部分）を前記ランド24に形成しておき、2枚のガラスエポキシ銅張積層基板を接着して積層した時点で各孔部に金めっきあるいは銀錫（Ag/Sn）処理を施してストリップ伝送路11とランド24とを接続する前記スルーホール26が形成される。このとき同時に、ランド24の表面にも金めっきあるいは銀錫（Ag/Sn）処理を施しておく。なお、前記ランド24およびスルーホール26は、搭載されるMMIC14のパッド28の位置に対応して設けられるものであり、本実施の形態の位置に限定されるものではない。

【0032】一方、前記MMIC14を準備し、そのパッド28に金を主材料とする金属を接着して、前記パンプ30が形成される。

【0033】そして、MMIC14のパンプ30の形成されたフェイス面14aを基板12側に向けて、例えば、熱圧着法により該パンプ30と前記ランド24および接地用ランド23とを接合することにより、該MMIC14が該基板12に搭載される。

【0034】次に、前記MMIC14のフェイス面14aと基板12との間に形成された空間に、例えば、ガラスフィラー入りエポキシ樹脂を注入、硬化することにより、前記樹脂層32が形成される。このとき、樹脂の注入量を調整することにより、前記樹脂層32は、前記MMIC14のフェイス面14aを完全に被覆し、かつ、スカート状に広がってその端部が前記接地用ランド23を含む前記接地導体層20の端部を被覆するように形成される。ここで、ガラスフィラー入りエポキシ樹脂は、硬化後、残留溶剤によるアウトガスの発生が少ないことから前記樹脂層32の材料として好適である。

【0035】次いで、MMIC14の搭載された前記基板12を蒸着装置のチャンバー内に配置して、例えば、金等をメタライズすることにより、該MMIC14のフェイス面14aの裏面14bおよび接地導体層20を被覆する導電金属層34が形成され、本実施の形態の第1の例に係るフリップチップ実装基板10が完成する。ここで、前記導電金属層34を形成する方法として、蒸着法に代えて、めっき法等を用いてもよい。これらの方法により、MMIC14のフェイス面14aの裏面14bおよび接地導体層20が容易に導電金属層34で被覆される。

【0036】本実施の形態の第1の例に係るフリップチップ実装基板10を動作させる場合、ストリップ伝送路11はTEM伝送モードを有し、このため、該ストリップ伝送路11から信号が漏洩等することが少ない。また、導電金属層34が遮蔽金属として作用するため、小形化されたフリップチップ実装基板10において電磁的遮蔽を確実に行うことができる。

【0037】図6は、本実施の形態の第2の例に係るフリップチップ実装基板35の平面図、図4は、フリップチップ実装基板35のIV-IV線断面図、図5は、フ

リップチップ実装基板35のV-V線断面図を示している。

【0038】前記リップチップ実装基板35は、信号導体層（内層導体層）としてのストリップ伝送路36を有する基板38と、該基板38に形成された溝部（凹部）39内に収容して実装されるリップチップとしてのMMIC40とにより基本的に構成される。

【0039】前記基板38には、図4中、下から順に、接地導体層（第1の接地導体層）48、誘電体層（第1の誘電体層）44、ストリップ伝送路36、誘電体層（第2の誘電体層）42および接地導体層（第2の誘電体層）46が形成されている。前記接地導体層46および誘電体層42を貫通する直方体状の開口と誘電体層44の表面とにより前記溝部39が形成されている。前記ストリップ伝送路36は前記溝部39の底面に一部露出して形成され、その露出部分にランド54が形成されている。また、図5に示すように、前記溝部39の底面には接地用ランド47が形成され、該接地用ランド47は溝部39の側面に形成された金属層を介して基板38の表面に形成された前記接地導体層46に接続されている。

【0040】前記基板38の溝部39には、フェイス面40aに設けられたパッド50の上にバンパ52が形成されたMMIC40が該フェイス面40aを向下向きにして搭載されており、該バンパ52は前記ランド54および接地用ランド47にそれぞれ接合されている。前記溝部39のMMIC40と前記基板38との間には樹脂層56が形成され、これにより、MMIC40のフェイス面40aは完全に樹脂層56により封止され、かつ、MMIC40が確実に基板38の溝部39の底面に固定されている。さらに、ほぼ面一に設けられた前記MMIC40のフェイス面40aの裏面40bおよび前記接地導体層46は導電金属層58により被覆されている。

【0041】以上のように構成される本実施の形態の第2の例に係るリップチップ実装基板35のリップチップとしてのMMIC40の実装方法について、以下に説明する。

【0042】まず、例えば、表面のみに銅が張られ、かつ、開口が形成されガラスエポキシ銅張積層基板と、表裏両面全体に銅が張られたガラスエポキシ銅張積層基板とを各1枚準備する。この場合、前者に代えて、表面のみに銅が張られたガラスエポキシ銅張積層基板を準備し、エンドミル加工等により開口を形成するようにしてもよい。

【0043】表裏両面全体に銅が張られたガラスエポキシ銅張積層基板は、その片側の銅張面をパターン処理し、これにより、前記ランド54が接続された前記ストリップ伝送路36および接地用ランド47が形成される。

【0044】次に、前記ストリップ伝送路36が形成さ

れたガラスエポキシ銅張積層基板の該ストリップ伝送路36が形成された側の面と、表面に銅張層が形成されたガラスエポキシ銅張積層基板の該銅張層が形成されていない面とを接着することにより、2枚のガラスエポキシ銅張積層基板を積層する。これにより、前記表面の銅張層が前記接地導体層46とされ、さらに、接地導体層48、誘電体層42、44を有する基板38が形成される。

【0045】次いで、めっき処理を施して、前記接地導体層46と前記接地用ランド47とを金属導体層により接続する。

【0046】一方、前記MMIC40を準備し、そのフェイス面40aの前記パッド50に金を主材料とする金属を接着して、前記バンパ52が形成される。

【0047】そして、MMIC40のフェイス面40aを基板38の溝部39の底面に向けて、例えば、熱圧着法により該バンパ52と前記ランド54および接地用ランド47とを接合することにより、MMIC40が基板38に搭載される。

【0048】次に、前記溝部39の前記MMIC40のフェイス面40aと基板38との間に形成された空間に、例えば、ガラスフィラー入りエポキシ樹脂を注入、硬化することにより、前記樹脂層56が形成される。

【0049】次いで、MMIC40の搭載された前記基板38を蒸着装置のチャンバー内に配置して、例えば、金等をメタライズすることにより、MMIC40のフェイス面40aの裏面40bおよび接地導体層46を、いわゆる、面一な状態で被覆する導電金属層58が形成され、本実施の形態の第2の例に係るリップチップ実装基板35が完成する。

【0050】本実施の形態の第2の例に係るリップチップ実装基板35は、本実施の形態の第1の例に係るリップチップ実装基板10よりも一層小形化されている。

【0051】

【発明の効果】以上説明したように、本発明に係るリップチップ実装基板およびリップチップの実装方法によれば、リップチップ自体、リップチップ取付用のランドおよび信号伝送路からの信号の漏洩が発生せず、また、電磁遮蔽するために特別な金属ケースを用いる必要がないので、リップチップが実装された基板を小形化することができる。さらに、導体金属層によりリップチップと回路とを効果的に秘匿することができる。

【0052】また、リップチップの固定およびフェイス面が空気等と触れないので好ましく、さらに、導体金属層での基板表面の被覆が容易である。

【図面の簡単な説明】

【図1】本実施の形態の第1の例に係るリップチップ実装基板のI-I線概略断面図である。

【図2】本実施の形態の第1の例に係るリップチップ

実装基板のI I-I I線概略断面図である。

【図3】本実施の形態の第1の例に係るフリップチップ実装基板の一部破断概略平面図である。

【図4】本実施の形態の第2の例に係るフリップチップ実装基板のI V-I V線概略断面図である。

【図5】本実施の形態の第2の例に係るフリップチップ実装基板のV-V線概略断面図である。

【図6】本実施の形態の第2の例に係るフリップチップ実装基板の一部破断概略平面図である。

【図7】従来のフリップチップ実装基板のV I I-V I I線概略断面図である。

【図8】従来のフリップチップ実装基板の一部破断概略平面図である。

【符号の説明】

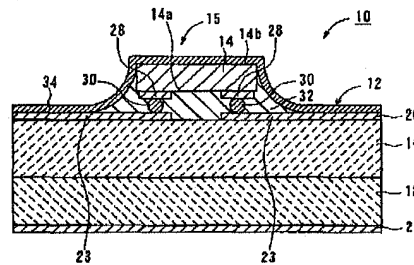
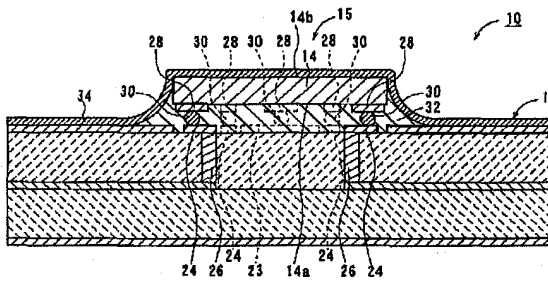
- | | |
|-------------------|-------------------|
| 10、35…フリップチップ実装基板 | 12、38…基板 |
| 11、36…ストリップ伝送路 | 14a、40a…フ |
| 14、40…MMIC | ェイス面 |
| 14b、40b…裏面 | 16、18、42、 |
| 44…誘電体層 | 44…誘電体層 |
| 20、22、46、48…接地導体層 | 20、22、46、48…接地導体層 |
| 23、47…接地用ランド | 24、54…ランド |
| 26…スルーホール | 28、50…パッド |
| 30、52…バンプ | 32、56…樹脂層 |
| 34、58…導電金属層 | |

【図1】

【図2】

FIG. 1

FIG. 2

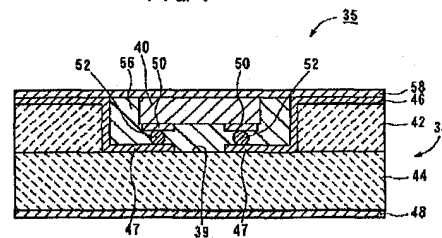
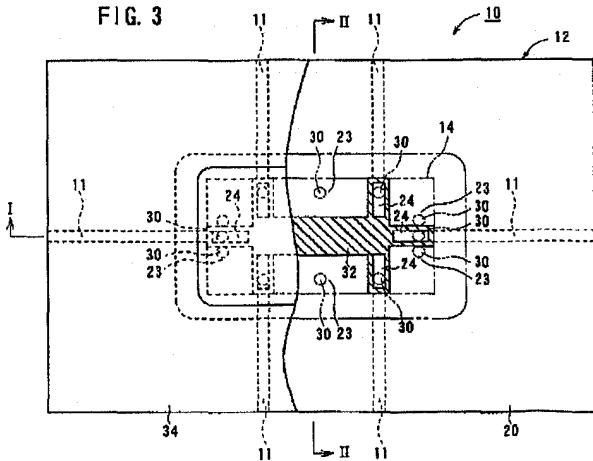


【図3】

【図5】

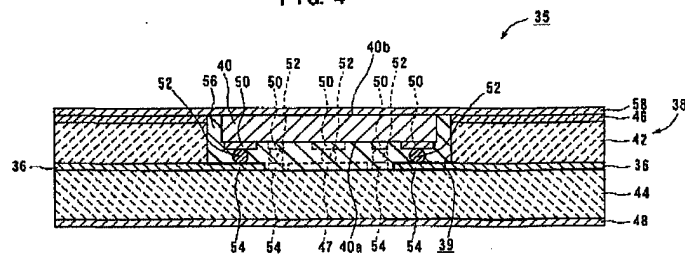
FIG. 3

FIG. 5



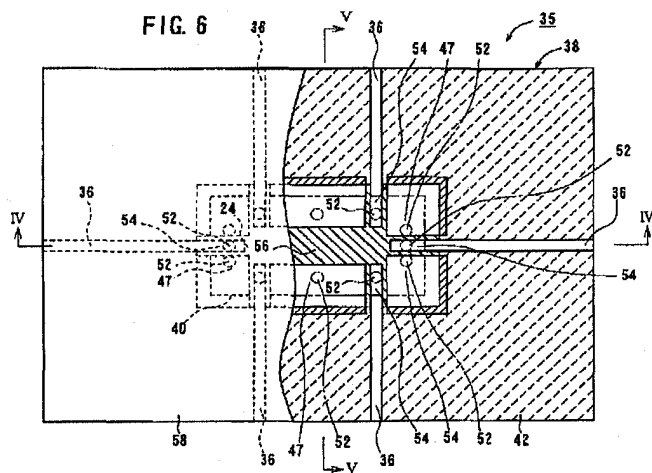
【図4】

FIG. 4



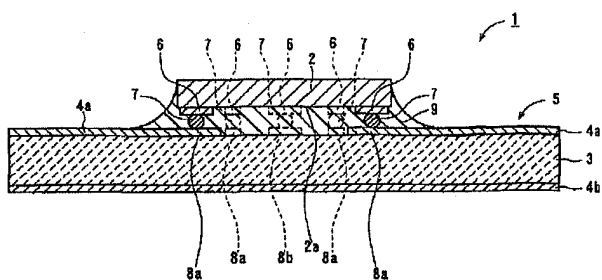
【図6】

FIG. 6

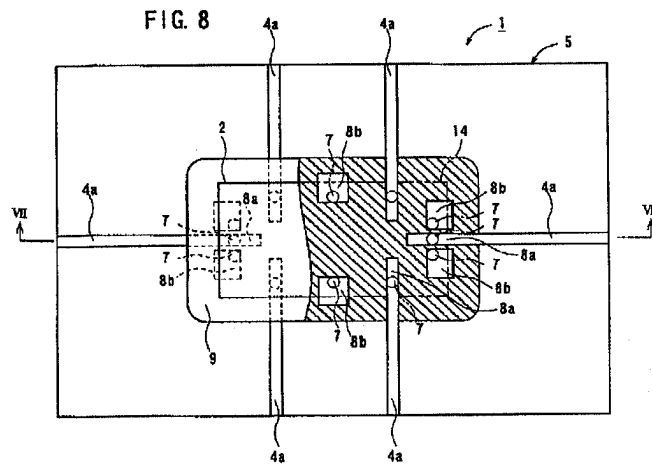


【図7】

FIG. 7



【図8】



CLIPPEDIMAGE= JP02000031207A
PAT-NO: JP02000031207A
DOCUMENT-IDENTIFIER: JP 2000031207 A
TITLE: PACKAGING BOARD AND METHOD OF FLIP CHIP

PUBN-DATE: January 28, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
IGARASHI, KAZUFUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
JAPAN RADIO CO LTD	N/A

APPL-NO: JP10196051
APPL-DATE: July 10, 1998

INT-CL_(IPC): H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To make it possible to effectively shield the leakage of propagation signals during operation without being prevented from the miniaturization of a flip chip packaging board at all.

SOLUTION: A grounding conductor layer 22, a dielectric layer 18, a strip transmission channel 11, another dielectric layer 16 and another grounding conductor layer 20 are formed in this order on a substrate 12. The lands 24 for signal and power supply on the surface layer of the substrate 12 are connected to the end of the strip stransfer channel 11 by through holes 26. An MMIC 14 as a flip chip wherein bumps 30 are formed on the pads 28 of the face surface 14a upside down is loaded on the substrate 12 while the bumps 30 are junctional with the grounding lands 23 and the lands 24. In such a constitution, a resin 32 is formed in the space between the

face surface 4a of
the MMIC 14 and the grounding conductor 20 while the
backside 14b of the face
surface 14a of the MMIC 14 and the grounding conductor
layer 20 are coated with
a conductive metallic layer 34.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-339097

(P2001-339097A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl.⁷
H 0 1 L 31/12

識別記号

F I
H 0 1 L 31/12

データベース* (参考)
C 5 F 0 8 9

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号 特願2000-160864(P2000-160864)

(22) 出願日 平成12年5月30日 (2000.5.30)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 葛原 一功

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100111556

弁理士 安藤 淳二 (外1名)

Fターム(参考) 5F089 AA10 AB03 AC05 AC06 AC08

AC10 AC11 AC18 AC21 CA11

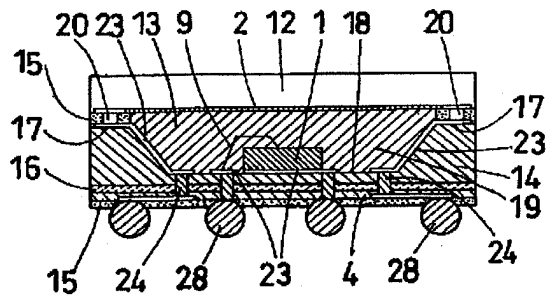
CA20 EA04

(54) 【発明の名称】 半導体リレー

(57) 【要約】

【課題】 小型化することができて、発光素子と光起電力素子との光結合のための位置合せが容易となる半導体リレーを提供する。

【解決手段】 基板14の表面に出力用MOSFET4と共にはんだボール28を形成し、基板14の裏面に、平坦な周縁部17で包囲されていて、底面18が平坦な掘り込み部19を形成し、掘り込み部19の底面18に発光素子1を搭載し、且つ発光素子1と光起電力素子2が対向するように、光起電力素子2を形成しているチップ12を、前記周縁部17に配した導電性のバンプ20を介して基板14に装着していて、さらに、基板14を貫通する貫通配線24を含む導電部材により、発光素子1と入力端子の電気的接続及び光起電力素子2と出力用MOSFET4との電気的接続を行っていることを特徴とする半導体リレー。



【特許請求の範囲】

【請求項1】 入力端子間に入力される入力信号に応じて光の照射を行う発光素子と、前記光の照射に応じて電力を発生させる光起電力素子と、基板の表面に形成して、前記電力に応じて出力端子間のオンオフをする出力用MOSFETを備えてなる半導体リレーであって、前記基板の前記表面に出力用MOSFETと共に入力端子又は出力端子となるはんだボールを形成すると共に、この基板の裏面に、平坦な周縁部で包囲されていて、その底面が平坦な掘り込み部を形成し、この掘り込み部の前記底面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを、前記周縁部に配した導電性のバンパを介して前記基板に装着して、さらに、前記基板を貫通する貫通配線を含む導電部材により、発光素子と入力端子の電気的接続及び光起電力素子と出力用MOSFETとの電気的接続を行っていることを特徴とする半導体リレー。

【請求項2】 発光素子の電極を、前記チップの光起電力素子を形成している面に形成した配線に導電性のバンパを介して接続していることを特徴とする請求項1記載の半導体リレー。

【請求項3】 発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、前記基板と前記チップとの接合面に配している導電性のバンパ間の隙間を不透明な封止材で封止していることを特徴とする請求項1又は請求項2記載の半導体リレー。

【請求項4】 入力端子間に入力される入力信号に応じて光の照射を行う発光素子と、前記光の照射に応じて電力を発生させる光起電力素子と、基板の表面に形成して、前記電力に応じて出力端子間のオンオフをする出力用MOSFETを備えてなる半導体リレーであって、前記基板の出力用MOSFET形成面を、表面に配線パターンが形成され、裏面に表面の配線パターンと接続して、入力端子又は出力端子となるはんだボールが形成されている回路板の該表面にフリップチップボンディングで実装すると共に、出力用MOSFETを形成している基板の裏面に、平坦な周縁部で包囲されていて、その底面が平坦な掘り込み部を形成し、この掘り込み部の前記底面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを、前記周縁部に配した導電性のバンパを介して前記基板に装着して、さらに前記基板の裏面側と、前記回路板の表面側とをワイヤにより電気的に接続して、発光素子と入力端子の電気的接続及び光起電力素子と出力用MOSFETとの電気的接続を、このワイヤを含む導電部材で行っていることを特徴とする半導体リレー。

【請求項5】 発光素子と光起電力素子とが対向する空

間に透光性を有するカップリング部材を充填すると共に、回路板の表面側を不透明な封止材で覆うように封止していることを特徴とする請求項4記載の半導体リレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気的アイソレーションに優れた光結合型の半導体リレーに関するものである。

【0002】

【従来の技術】従来より、電気的アイソレーションに優れた光結合型の半導体リレーが、種々の用途に採用されていて、例えば、図5に示す回路例の半導体リレーが知られている。図5に示す回路例の動作原理を説明する。この例では、リレー入力端子7、7'間に発光ダイオードアレイよりなる発光素子1が接続されている。そして、発光素子1に光結合された光起電力ダイオードアレイよりなる光起電力素子2が光学的に接続されている。光起電力素子2のアノードは、Nチャンネル型のエンハンスメントモードの出力用MOSFET4のゲートに接続されている。また、光起電力素子2のカソードは抵抗器3を介して出力用MOSFET4のソースに接続されている。出力用MOSFET4のゲートはNチャンネル型のデプレッションモードの駆動用MOSFET5のドレインに接続され、出力用MOSFET4のソースは、この駆動用MOSFET5のソースに接続されている。駆動用MOSFET5のゲートは、光起電力素子2のカソードに接続されている。

【0003】リレー入力端子7、7'間に入力電流（入力信号）が流れると、発光素子1が光信号を発生する。この光信号を受けて光起電力素子2に起電力が生じ、電流を発生する。この電流は常時オン状態にある駆動用MOSFET5を介して、抵抗器3に流れる。抵抗器3で発生する電圧が、駆動用MOSFET5のスレッシュホールド電圧を越えると、駆動用MOSFET5がオフする。これによって、光起電力素子2からの電流は、出力用MOSFET4のゲート・ソース間を充電し、その充電電圧が出力用MOSFET4のスレッシュホールド電圧を越えると、出力用MOSFET4がオン状態となり、リレー出力端子8、8'間が導通する。その後は、駆動用MOSFET5のドレイン・ソース間を介して僅かな電流が抵抗器3に流れ、抵抗器3に生じるバイアス電圧によって、駆動用MOSFET5が高インピーダンス状態に保持されるようになっている。

【0004】リレー入力端子7、7'間の電流が遮断されて、発光素子1から光信号がなくなると、光起電力素子2からの電流がなくなる。このため、駆動用MOSFET5のゲート・ソース間電圧が下がり、駆動用MOSFET5がオン状態となって、出力用MOSFET4のゲート・ソース間容量に蓄積されていた電荷が駆動用M

OSFET5を通して急速に放電される。これによって、出力用MOSFET4はオフ状態となり、リレー出力端子8、8'間が遮断される。

【0005】この図5に示す回路例では、出力用MOSFET4がオンされている定常状態においては、駆動用MOSFET5を介して流れる電流が小さくても、抵抗器3の値を上げれば、駆動用MOSFET5をオフ状態に保持するのに十分なバイアス電圧を得ることができる。

【0006】上述した回路構成の半導体リレーの従来例を図6に示す。この図6では、パッケージ10は表面実装型であるSOパッケージであって、2枚のリードフレーム21、22に部品を実装している。リードフレーム21に出力用MOSFET4を形成している基板（この場合は半導体チップ）14、14と光起電力素子2を形成しているチップ12をAgペースト等でダイボンドした後、ワイヤボンディングにより電気的な接続を行って実装している。一方、リードフレーム22には発光素子1を同様に実装している。そして、実装を終えたリードフレーム21、22を、発光素子1と光起電力素子2が対向するように配置し、発光素子1と光起電力素子2の間には両者を光結合させるための透明なカップリング部材13が充填され、さらに全体がトランスファ成形により、不透明な封止材15で封止されパッケージ10が形成されている。この図6では、駆動用MOSFET5及び抵抗器3は、図示していないが、例えば光起電力素子2を形成しているチップ12内に形成することも可能である。

【0007】なお、図5に示す回路例において、駆動用MOSFET5を省略するようにしても光結合型の半導体リレーとして機能させることができる。また、図5に示す回路例では出力用MOSFET4を2個備える構成としていて、交流用としても直流用としても用いることができるが、1個備える構成とすればMOSFETのダイオード特性により直流用にのみ用いることができる半導体リレーとなる。

【0008】

【発明が解決しようとする課題】しかしながら、図6に示した従来の半導体リレーでは、2つのリードフレームに各素子を形成した部品が実装されており、またそれぞれのリードフレームが対向配置されるので、小型化が難しく、かつ、位置合せのための工程での作業が複雑乃至難しいという問題があった。

【0009】本発明は、上記事情に鑑みてなされたものであり、従来よりも小型化することができる光結合型の半導体リレーであって、発光素子と光起電力素子との光結合のための位置合せが容易となる半導体リレーを提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1に係る発明の半

導体リレーは、入力端子間に入力される入力信号に応じて光の照射を行う発光素子と、前記光の照射に応じて電力を発生させる光起電力素子と、基板の表面に形成して、前記電力に応じて出力端子間のオンオフをする出力用MOSFETを備えてなる半導体リレーであって、前記基板の前記表面に出力用MOSFETと共に入力端子又は出力端子となるはんだボールを形成すると共に、この基板の裏面に、平坦な周縁部で包囲されていて、その底面が平坦な掘り込み部を形成し、この掘り込み部の前記底面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを、前記周縁部に配した導電性のバンプを介して前記基板に装着して、さらに、前記基板を貫通する貫通配線を含む導電部材により、発光素子と入力端子の電気的接続及び光起電力素子と出力用MOSFETとの電気的接続を行っていることを特徴とする半導体リレーである。

【0011】この請求項1に係る発明の半導体リレーは、出力用MOSFETを形成している基板の裏面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを導電性のバンプを介して前記基板に装着している構成としているので、2枚のリードフレームを用いる半導体リレーに比較して、小型化可能な半導体リレーであって、発光素子と光起電力素子との光結合のための位置合せが容易な半導体リレーとなる。

【0012】請求項2に係る発明の半導体リレーは、発光素子の電極を、前記チップの光起電力素子を形成している面に形成した配線に導電性のバンプを介して接続していることを特徴とする請求項1記載の半導体リレーである。

【0013】この請求項2に係る発明の半導体リレーでは、発光素子の電極との電気的接続にワイヤボンディングを行う必要がなくなり、実装工程が簡略化できる。

【0014】請求項3に係る発明の半導体リレーは、発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、前記基板と前記チップとの接合面に配している導電性のバンプ間の隙間を不透明な封止材で封止していることを特徴とする請求項1又は請求項2記載の半導体リレーである。

【0015】この請求項3に係る発明の半導体リレーでは、発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、出力用MOSFETを形成している基板と光起電力素子を形成しているチップとの接合面に配している導電性のバンプ間の隙間を不透明な封止材で封止しているため、半導体リレーの耐湿性が向上する。

【0016】請求項4に係る発明の半導体リレーは、入力端子間に入力される入力信号に応じて光の照射を行う発光素子と、前記光の照射に応じて電力を発生させる光

起電力素子と、基板の表面に形成されていて、前記電力に応じて出力端子間のオンオフをする出力用MOSFETを備えてなる半導体リレーであって、前記基板の出力用MOSFET形成面を、表面に配線パターンが形成され、裏面に表面の配線パターンと接続していて、入力端子又は出力端子となるはんだボールが形成されている回路板の該表面にフリップチップボンディングで実装すると共に、出力用MOSFETを形成している基板の裏面に、平坦な周縁部で包囲されていて、その底面が平坦な掘り込み部を形成し、この掘り込み部の前記底面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを前記周縁部に配した導電性のバンプを介して前記基板に装着していて、さらに、前記基板の裏面側と、前記回路板の表面側とをワイヤにより電氣的に接続していて、発光素子と入力端子の電氣的接続及び光起電力素子と出力用MOSFETとの電氣的接続を、このワイヤを含む導電部材で行っていることを特徴とする半導体リレーである。

【0017】この請求項4に係る発明の半導体リレーでは、出力用MOSFETを形成している基板の裏面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを導電性のバンプを介して前記基板の裏面に装着する構成としているので、2枚のリードフレームを用いる半導体リレーに比較して、小型化可能な半導体リレーであって、発光素子と光起電力素子との光結合のための位置合せが容易な半導体リレーとなる。また、発光素子と入力端子の電氣的接続及び光起電力素子と出力用MOSFETとの電氣的接続を、ワイヤを含む導電部材で行っている

ので、出力用MOSFETを形成している基板を貫通する貫通配線を形成する必要がなく、出力用MOSFETと発光素子との電氣的な分離が容易に達成できる。

【0018】請求項5に係る発明の半導体リレーは、発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、回路板の表面側を不透明な封止材で覆うように封止していることを特徴とする請求項4記載の半導体リレーである。

【0019】この請求項5に係る発明の半導体リレーでは、発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、回路板の表面側を不透明な封止材で覆うように封止している

ので、半導体リレーの耐湿性が向上する。

【0020】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0021】（実施形態1）この実施形態は、図1に示すように、出力用MOSFET4を表面に形成する基板14として、SiウェハとSiウェハの間に絶縁層であるSiO₂層16を備えているSOIウェハ（SOIはシリコン オン インシュレータを表す。）を用いてい

る。そして、この基板14の表面には出力用MOSFET4及び入力端子又は出力端子となるはんだボール28を形成している。そして、基板14の裏面には、平坦な周縁部17で包囲されていて、底面18が平坦な掘り込み部19を形成している。この掘り込み部19の底面18に形成している裏面配線23と電氣的に接続するように、Agペーストを用いて発光ダイオード（LED）である発光素子1をダイボンディングすると共に、発光素子1（LED）の表面電極をワイヤにて裏面配線23と接続する。

【0022】そして、光起電力ダイオードである光起電力素子2を形成しているチップ12を、発光素子1と光起電力素子2が対向するようにして、周縁部17に配した導電性のバンプ20を介して基板14の裏面に装着していて、光起電力素子2と基板14の裏面配線23を電氣的に接続するようにしている。さらに、基板14を貫通する貫通配線24を含む導電部材により、発光素子1とその入力端子となるはんだボール28と電氣的接続及び光起電力素子2と出力用MOSFET4との必要な箇所の電氣的接続を行っている。ここでいう導電部材には裏面配線23や導電性のバンプ20等も含まれる。なお、発光素子1の回路と、出力用MOSFET4を含む回路は電氣的に独立した回路となるように接続は行う。そして、出力用MOSFET4の出力端子もはんだボール28で形成するようにしている。なお、基板14を貫通する貫通配線24は、例えばエッチング等の方法で基板14に貫通孔を形成し、この貫通孔を被覆するように拡散炉にて酸化膜を形成し、さらに、スパッタ等でアルミ層を形成する方法等で形成することができる。

【0023】この実施形態では、発光素子1と光起電力素子2とが対向する空間に透光性を有するカップリング部材13を充填すると共に、基板14とチップ12との接合面に配している導電性のバンプ20間の隙間を不透明な封止材15で封止している。透光性を有するカップリング部材13としては透明樹脂を用いることができ、また不透明な封止材15としては、黒色顔料等を用いて黒色化した封止用の樹脂を用いることができる。このように基板14とチップ12の間の空間や、隙間を充填すると、半導体リレーの耐湿性等の性能を向上させることができる。そして、この実施形態では、入力端子又は出力端子となるはんだボール28が露出する程度に出力用MOSFET4を形成している表面を封止用の樹脂を用いた封止材15で被覆して半導体リレーのパッケージとしている。

【0024】このような構成の実施形態1は、出力用MOSFET4を形成している基板14のサイズの大きさに収まる小型化された半導体リレーとなっている。

【0025】また、この実施形態では、光起電力素子2とMOSFET4との電氣的接続を行う導電部材として、掘り込み部19の周縁部17と底面18の間の斜面

に裏面配線23を形成しているが、この斜面に形成する裏面配線23を、例えばアルミ等の金属層で形成すると、発光素子1より発光された光を反射して、光起電力素子2に当たる光の量を増加させて、起電力を向上させることができるようになるので望ましい。

【0026】この実施形態では、発光素子1はAgペーストを用いてダイボンディングすると共に、発光素子1の表面電極を裏面配線23にワイヤボンディングする例を説明したが、横向き実装用のワイヤボンドレスタイプのLEDを実装するようにしてもよい。

【0027】(実施形態2) この実施形態は、図2に示すように、発光素子1の表面電極を光起電力素子2を形成しているチップ12の光起電力素子2を形成している面に形成した発光素子用配線25(点線で示している)に導電性のバンプ20を介して接続している。この発光素子用配線25は、光起電力素子2の回路とは独立するように形成している。そして、掘り込み部19の周縁部17に配したバンプ20、裏面配線23及び貫通配線24を含む導電部材により、発光素子1とその入力端子となるはんだボール28との電気的接続を行うようにしている。

【0028】この実施形態2は、発光素子1の表面電極に接続する配線の経路を変更した以外は、図2で明らかのように、上述の実施形態1とほぼ同様の構成としている。この実施形態2では発光素子1の電極との電気的接続にワイヤボンディングを行う必要がなくなり、実装工程が簡略化できる利点がある。

【0029】(実施形態3) この実施形態は、図3に示すように、出力用MOSFET4を表面に形成する基板14として、SiウェハとSiウェハの間に絶縁層であるSiO₂層16を備えているSOIウェハを用いている。この基板14の出力用MOSFET4を形成している面を、表面に配線パターン31が形成されている回路板30にフリップチップボンディングで実装していて、例えばはんだ等によるバンプ20で電気的な接続を行っている。この回路板30は例えば樹脂製やセラミック製の配線板を使用することができ、その裏面に表面の配線パターン31と接続していて、入力端子又は出力端子となるはんだボール28を形成している。

【0030】そして、出力用MOSFET4を形成している基板14の裏面には、平坦な周縁部17で包囲されていて、底面18が平坦な掘り込み部19を形成している。この掘り込み部19の底面17に形成している裏面配線23と電気的に接続するように、Agペーストを用いて発光ダイオード(LED)である発光素子1をダイボンディングしている。

【0031】そして、光起電力ダイオードである光起電力素子2を形成しているチップ12を、発光素子1と光起電力素子2が対向するようにして、周縁部17に配した導電性のバンプ20を介して基板14の裏面に装着し

ていて、光起電力素子2と基板14の裏面配線23を電気的に接続するようにしている。さらに、発光素子1の表面電極を光起電力素子2を形成しているチップ12の光起電力素子2を形成している面に形成した発光素子用配線25(点線で示す)に導電性のバンプ20を介して接続している。この発光素子用配線25は、光起電力素子2の回路とは独立するように形成している。

【0032】さらに、基板14の裏面配線23と、回路板30の表面側の配線パターン31とをワイヤ9により電気的に接続していて、発光素子1と入力端子となるはんだボール28の電気的接続及び光起電力素子2と出力用MOSFET4との電気的接続を、このワイヤ9を含む導電部材で行っている。なお、発光素子1の回路と、出力用MOSFET4を含む回路は電気的に独立した回路となるように接続は行う。そして、出力用MOSFET4の出力端子もはんだボール28で形成するようにしている。

【0033】この実施形態では、発光素子1と光起電力素子2とが対向する空間に透光性を有するカップリング部材13を充填すると共に、回路板30の基板14を実装している面を、不透明な封止材15で覆うようにして封止している。透光性を有するカップリング部材13としては透明樹脂を用いることができ、また不透明な封止材15としては、黒色顔料等を用いて黒色化した封止用の樹脂を用いることができる。このように回路板30、基板14及びチップ12の間の空間や、隙間を充填すると、半導体リレーの耐湿性等の性能を向上させることができる。

【0034】このような構成の実施形態3は、出力用MOSFET4を形成している基板14のサイズよりは少し大きくなるが、回路板30の大きさに収まる小型化された半導体リレーとなっている。また、基板14の裏面配線23と、回路板30の表面側の配線パターン31とをワイヤ9により接続しているため、基板14を貫通する貫通配線を形成する必要がない。

【0035】また、この実施形態では、光起電力素子2とMOSFET4との電気的接続を行う導電部材として、掘り込み部19の周縁部17と底面18の間の斜面に裏面配線23を形成しているが、この斜面に形成する裏面配線23を、例えばアルミ等の金属層で形成すると、発光素子1より発光された光を反射して、光起電力素子2に当たる光の量を増加させて、起電力を向上させることができるようになるので望ましい。

【0036】(実施形態4) この実施形態は、図4に示すように、発光素子1の表面電極を基板14の裏面配線23にワイヤ9で接続している。

【0037】この実施形態4は、発光素子1の表面電極に接続する配線の経路を変更した以外は、図4で明らかのように、上述の実施形態3とほぼ同様の構成としている。この実施形態4のように、発光素子1の電極との電

氣的接続をワイヤボンディングで行うことも請求項4及び請求項5に係る発明では可能である。

【0038】

【発明の効果】請求項1に係る発明の半導体リレーは、出力用MOSFETを形成している基板の裏面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを、導電性のバンパを介して前記基板に装着している構成としているので、2枚のリードフレームを用いる半導体リレーに比較して、小型化可能な半導体リレーであって、発光素子と光起電力素子との光結合のための位置合せが容易な半導体リレーとなる。

【0039】請求項2に係る発明の半導体リレーは、上記の請求項1に係る発明の半導体リレーの効果に加えて、発光素子の電極との電氣的接続にワイヤボンディングを行う必要がなくなり、実装工程が簡略化できるという効果も奏する。

【0040】請求項3に係る発明の半導体リレーは、発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、出力用MOSFETを形成している基板と光起電力素子を形成しているチップとの接合面に配している導電性のバンパ間の隙間を不透明な封止材で封止しているので、請求項1又は請求項2に係る発明の半導体リレーの効果に加えて、半導体リレーの耐湿性が向上するという効果も奏する。

【0041】請求項4に係る発明の半導体リレーは、出力用MOSFETを形成している基板の裏面に発光素子を搭載し、且つこの発光素子と光起電力素子が対向するように、光起電力素子を形成しているチップを、導電性のバンパを介して前記基板の裏面に装着する構成としているので、2枚のリードフレームを用いる半導体リレーに比較して、小型化可能な半導体リレーであって、発光素子と光起電力素子との光結合のための位置合せが容易な半導体リレーとなる。また、発光素子と入力端子の電氣的接続及び光起電力素子と出力用MOSFETとの電氣的接続について、出力用MOSFETを形成している基板を貫通する貫通配線を形成する必要がないので、請求項4に係る発明の半導体リレーでは出力用MOSFETと発光素子との電氣的な分離が容易に達成できるとい

う効果も奏する。

【0042】請求項5に係る発明の半導体リレーは、発光素子と光起電力素子とが対向する空間に透光性を有するカップリング部材を充填すると共に、回路板の表面側を不透明な封止材で覆うように封止しているので、請求項4に係る発明の半導体リレーの効果に加えて、半導体リレーの耐湿性が向上するという効果も奏する。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す断面図である。

【図2】本発明の実施形態2を示す断面図である。

【図3】本発明の実施形態3を示す断面図である。

【図4】本発明の実施形態4を示す断面図である。

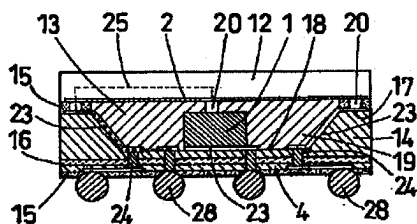
【図5】従来例を説明するための回路図である。

【図6】従来例を示す断面図である。

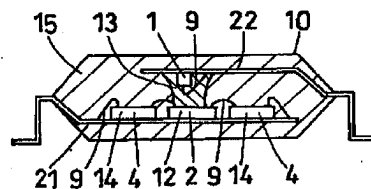
【符号の説明】

- 1 発光素子
- 2 光起電力素子
- 3 抵抗器
- 4 出力用MOSFET
- 5 駆動用MOSFET
- 7、7' 入力端子
- 8、8' 出力端子
- 9 ワイヤ
- 10 パッケージ
- 12 チップ
- 13 カップリング部材
- 14 基板
- 15 封止材
- 16 SiO₂層
- 17 周縁部
- 18 底面
- 19 掘り込み部
- 20 バンパ
- 21、22 リードフレーム
- 23 裏面配線
- 24 貫通配線
- 28 はんだボール
- 30 回路板
- 31 配線パターン

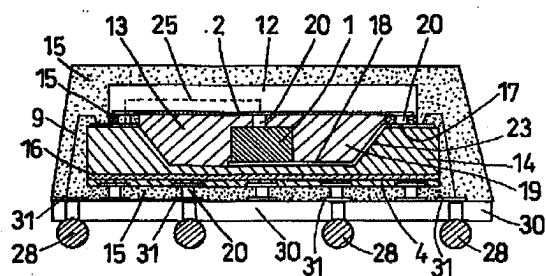
【図2】



【図6】



【図3】



【図5】

